

HIGH DENSITY CHIP CARRIER

Patent Number: JP58122753
Publication date: 1983-07-21
Inventor(s): WATARI TOSHIHIKO
Applicant(s): NIPPON DENKI KK
Requested Patent: ☐ JP58122753
Application Number: JP19820003406 19820114
Priority Number(s):
IPC Classification: H01L23/02
EC Classification:
Equivalents: JP1472350C, JP63018860B

Abstract

PURPOSE: To obtain a high density chip carrier by bonding a ceramic cover having a concave part accommodating an IC chip to a substrate which provides a jig inserting hole at the center and has many terminal pads in the periphery of surface while pads arranged in the form of lattice for external connection being internally connected to said pads on the surface in the rear side.

CONSTITUTION: An IC chip 4 is placed with the face directed downward on the surface of a ceramic substrate 12, tips of lead 5 are cut and lead 5 and pad 17 in the periphery are bonded after alignment thereof. A bonding agent 19 is coated to the bottom of ceramic cover 11, the cover is placed over the chip 4 and thereby the periphery of cover 11 is bonded to the substrate 12. A jig 21 is inserted into the center hole 13 of the substrate 12, the chip 4 is pressed to the bottom of cover 11 and then the bonding agent 19 is hardened. After the chip is bonded, inside is washed and the Si resin is filled therein. Heat generated from chip is effectively radiated through the cover 11. Heat radiation becomes more effective when a heat sink 3 is provided at the outside of cover. Thus, a small size and high integration density chip carrier can be obtained.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭58—122753

⑯ Int. Cl.³
H 01 L 23/02

識別記号

庁内整理番号
7738—5F

⑰ 公開 昭和58年(1983)7月21日

発明の数 1
審査請求 未請求

(全 4 頁)

⑱ 高密度チップキャリア

東京都港区芝五丁目33番1号日
本電気株式会社内

⑲ 特 願 昭57—3406

⑳ 出 願 人 日本電気株式会社

㉑ 出 願 昭57(1982)1月14日

東京都港区芝5丁目33番1号

㉒ 発 明 者 渡里俊彦

㉓ 代 理 人 弁理士 住田俊宗

明 細 書

1 発明の名称

高密度チップキャリア

2 特許請求の範囲

中心部に棒状の治具を挿通可能な孔が穿設され、
側面周辺部に IC チップのリードを接合するため
の多数の端子パッドが形成され、裏面に多数の外
部接続用パッドが格子状に形成され、該外部接続
用パッドと前記端子パッドとはそれぞれ内部配線
によって接続されたベース基板と、IC チップを
収容接合できる凹部が形成され周縁突部によって
前記ベース基板に接合可能なセラミックカバーと
から成ることを特徴とする高密度チップキャリア。

3 発明の詳細な説明

本発明は、超高速コンピュータ等に使用する L
S I チップを収容する高密度チップキャリアの構
造に関する。

近年、コンピュータの性能は、LSI チップの
進歩によって目ざましく高速化されてきた。これ
に伴ない L S I の高密度実装技術の重要性が高ま

り、チップとチップを接続する配線長を可能な限
り短くして配線による信号の遅延時間を最小にす
るために、IC チップをできるだけ高密度に実装
する工夫がされてきている。上述の要求を満たす
べく、最近チップキャリアとよばれる IC ケース
が使用されている。

従来のチップキャリアは、第1図および第2図
に示すように、セラミックケース1の四辺に、半
円形の溝2を端子として形成し、これに内部配線
6を接続し、内部配線6の先端はケース内面で I
C チップ4のリード5に接続可能に形成されてい
る。ケース1の内面凹部に IC チップ4が接合さ
れる。このようなチップキャリアは、外部リード
線を持たずに基板上に容めかつ確実に搭載し基板
上の配線に上記溝2によって接続することができ、
またケース1の裏面(図中上面)に放熱器8をと
りつけることができ放熱効率が良いという点に
特徴がある。

しかし、上述の従来のチップキャリアは、IC
チップの集積度がますます向上し、これに伴って

ICチップの端子数が増大すると、多数の解2を形成するためにチップキャリア自体の大きさが増大するという欠点がある。例えば、128ピンのチップキャリアを例にとると、現在可能な最小ピッチ127 μ mで解2を形成したとしても、1辺の長さは $127 \times 128 / 4 = 4064 \mu$ mとなる。内部に収容するICチップの大きさが1辺10 μ m(これは現在のLSIチップでも最も大きい部類に属する)としても、チップキャリアの大きさは、1辺の長さがチップの4倍となり、面積にすると16倍にもなる。すなわち、ICチップの高密度実装に不利であり、また、内部リード線や配線長が長くなるという欠点がある。

本発明の目的は、上述の従来の欠点を解決し、端子数の増大によるケース形状の大増大を最小限に止め、かつ、放熱器の直接取付けが可能な高密度チップキャリアを提供することにある。

本発明のチップキャリアは、中心部に棒状の治具を挿通可能な孔が穿設され、表面周辺部にICチップのリードを接合するための多数の端子パッド

16はそれぞれ上記端子パッド17に内部配線18によって接続されている。また、中央部に治具を挿通することができる孔18が穿設されている。上記端子パッド17はICチップリード5に接続される。上記セラミックベース基板12とセラミックカバー11等により高密度チップキャリア10を構成している。

第4図は、上記セラミックベース基板12にICチップ4をフエースダウンの状態で載置した状態を示す平面図であって、端子パッド17が基板12の周辺部に配列されている。ICチップ4は多数のリード5がそれぞれ端子パッド17の位置に合うようにフエースダウンの状態で載置され、ボンディングマシンで全リードを端子パッド17に接合する。このとき、リード5はすべてICチップ4に接続された状態で端子パッド17に接合されるが、これは、例えば周知のTAB(Tape Automated Bonding)チップを使用することにより可能である。すなわち、TABチップのICリード5は絶縁テープ上にあらかじめ金メッキ銅

ドが形成され、裏面に多数の外部接続用パッドが格子状に形成され、該外部接続用パッドと前記端子パッドとはそれぞれ内部配線によって接続されたベース基板と、ICチップを収容接合できる凹部が形成され周縁突部によって前記ベース基板に接合可能なセラミックカバーとから成ることを特徴とする。

次に、本発明について、図面を参照して詳細に説明する。

第8図は、本発明の一実施例を示す断面図である。すなわち、セラミックベース基板12にセラミックカバー11を載置し、セラミックカバー11は内面に凹部22を形成し、周縁突部によってセラミックベース基板12に接合固定される。また、カバー11の凹部底面にはICチップ4が接合剤19等により固着可能であり、図中上面には放熱器8が取付け可能である。セラミックベース基板12は、表面(図中上面)周辺部に多数の端子パッド17が形成され、裏面には外部接続用パッド16を格子形に形成する。該外部接続用パ

ッド16はそれぞれ上記端子パッド17に内部配線18によって接続されている。また、中央部に治具を挿通することができる孔18が穿設されている。上記端子パッド17はICチップリード5に接続される。上記セラミックベース基板12とセラミックカバー11等により高密度チップキャリア10を構成している。

第5図は、セラミックベース基板12の底面図であって、外部接続用パッド16が格子状に形成され、中央部には治具挿通用の孔18が穿設されている。例えば128ピンのLSIチップを収容する場合は、パッド16の間隔を127 μ mとして基板の1辺の長さは、 $127 \times 11 + \alpha = 1397 + \alpha + 18 \mu$ m程度とすることができ、大幅な小形化が可能である。

上述のチップキャリアは、以下のようにしてICチップを実装する。

まず、セラミックベース基板12の表面に、ICチップ4をフエースダウンの状態で載置し、リード5の先端部を適宜切断し、それぞれのリード5と端子パッド17とを合うようにして、ボンデ

イングマシンで金リードを端子パッド17にそれぞれ接着する。次に、セラミックカバー11の底面に接着剤19を塗布してICチップ4の上にかぶせ、カバー11の周縁突部の端面をベース基板12に接着する。次に、第6図に示すように、ベース基板12の孔18に治具21を挿入して、ICチップ4をセラミックカバー11の底面の方へ押圧する。この状態で接着剤19を固化すれば、ICチップ4はセラミックカバー11の底面にダイボンディングされる。接着剤には、例えば銀入りエポキシ樹脂を使用し、治具21でICチップ4を押圧した状態で必要な温度を加えて固化させることができる。また、接着剤として半田クリームを使用して温度を加えて溶融したのち再び温度を下げて固化させるようにしても良い。ICチップを接着したのち、孔18から溶剤を注入してチップキャリア内部を洗浄することにより不要な残渣等を除去することが望ましい。また、カバー11の凹部と基板12の表面で形成された空洞内に孔18を通じてシリコン等の充填剤をつめるこ

また、小形化により高密度実装が可能で、配線長が短くなり、高速化に有利である。また、前記ベース基板に穿設した孔は、洗浄液の流入口および又は、シリコン樹脂等の防湿保護剤の注入口として利用することができ実装したICチップの防湿保護に有利である。

4. 図面の簡単な説明

第1図は従来のチップキャリアの一例を示す斜視図、第2図はその断面図、第3図は本発明の一実施例を示す断面図、第4図は上記実施例のセラミックベース基板上にICチップを載置した状態を示す平面図、第5図は上記実施例のセラミックベース基板の底面図、第6図は治具によってICチップをセラミックカバー底面に接着する状態を示す断面図である。

図において、1…セラミックケース、2…溝、3…放熱器、4…ICチップ、5…ICチップのリード、6…内部配線、10…高密度チップキャリア、11…セラミックカバー、12…セラミックベース基板、18…孔、16…外部接続用パッ

とにより防護効果を有することも可能である。

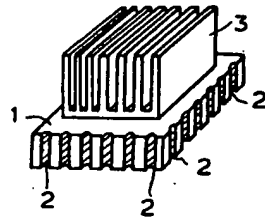
以上のように、本発明においては、セラミックベース基板の表面周辺部に多数の端子パッドを形成し、該基板の裏面に外部接続用パッドを格子状に配列し、上記端子パッドと外部接続用パッドとは基板内の内部配線によって接続した構成としたから、多数の外部接続用パッドを小さいベース基板に形成することが可能である。また、実装するICチップは、フエースダウンの状態で前記ベース基板に載置され、リードを前記端子パッドに接着したのちに、該ICチップ上にセラミックカバーをかぶせてその周縁部でベース基板と固着し、前記ベース基板の中央部に穿設された孔に棒状の治具を挿通して前記ICチップをセラミックカバーの底面に押圧接着する構成としたから、ICチップの発熱は上記セラミックカバーを介して空中に放熱され、放熱効果が良い。さらに上記セラミックカバーの外面に放熱器を取り付ければより一層放熱効果が向上する。すなわち、小形のチップキャリアによって大なる放熱効果を発揮できる。

ド、17…端子パッド、18…内部配線、22…凹部。

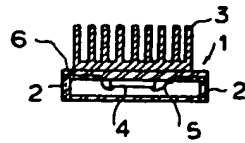
代理人 弁理士 住田 俊 宗

BEST AVAILABLE COPY

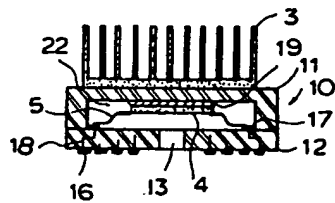
第 1 図



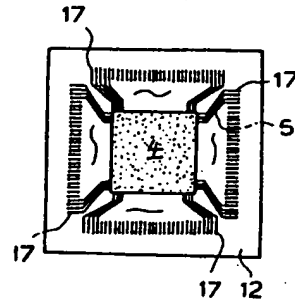
第 2 図



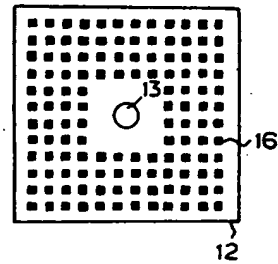
第 3 図



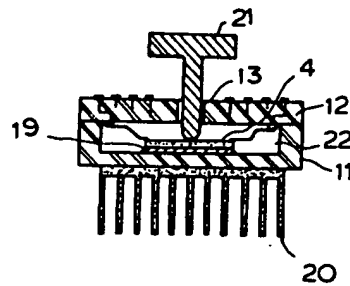
第 4 図



第 5 図



第 6 図



BEST AVAILABLE COPY